

⑫ 公開特許公報(A) 平4-179339

⑤Int. Cl.⁵

識別記号

庁内整理番号

⑬公開 平成4年(1992)6月26日

H 04 L 12/48

7830-5K H 04 L 11/20

Z

審査請求 未請求 請求項の数 2 (全10頁)

⑭発明の名称 交換機の優先制御方式

⑮特 願 平2-306049

⑯出 願 平2(1990)11月14日

⑰発明者	野 入 晃	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰発明者	荒 川 暢 也	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰発明者	北 村 達 彦	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰発明者	木 村 廣 志	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰出願人	沖電気工業株式会社	東京都港区虎ノ門1丁目7番12号	
⑰代理人	弁理士 鈴木 敏明		

明 細 書

1. 発明の名称

交換機の優先制御方式

2. 特許請求の範囲

(1) 送信に先立って端末と制御プロセッサとの間で送信に関するビットレートを申告するための通信を行って該申告値に基づいて送信を行い、送信が行われる端末に応じた優先度を示す情報を含むヘッダを受信したデータに付して該優先度の情報に応じて受信データを分配すると共に該受信データを一時的にバッファメモリに蓄積した後、交換回路へ送出するようになった交換機の優先制御方式において、

前記端末から送信されるデータのビットレートを検出し、該検出値が前記申告値を越えたときにその旨を示す情報を受信データに付するビットレート検出回路と、

前記情報が付された受信データ及び非優先データであるとして前記端末により予め指示された受信データに対して、当該データは廃棄可能である

ことを示すための情報を付するヘッダ更新回路と、

前記廃棄可能であることを示す情報とバッファメモリに蓄積されているデータ量とに基づいて、当該受信データを前記バッファメモリに蓄積する可否かを判定するための蓄積判定回路とを備え、

該蓄積判定回路が蓄積しないと判定したときには当該受信データを廃棄するようにしたことを特徴とする交換機の優先制御方式。

(2) 前記受信データは固定長のセルであることを特徴とする請求項1記載の交換機の優先制御方式。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、交換機の優先制御方式に係り、特にビットレートが申告値を越えて且つバッファメモリの空き領域が比較的少ないときには受信データを廃棄するようにした交換機の優先制御方式に関する。

[従来の技術]

一般に、データ伝送に適した交換方式としては、

回線交換方式の他にデータを一時的にバッファメモリに蓄積するようになった蓄積交換方式が知られている。この蓄積交換方式を実行する装置としてはバケット交換機がある。また、近年、広帯域網のデータ伝送モードとしてセルと呼ばれる固定長バケットを用いデータを伝送するATM(Asynchronous Transfer Mode)が注目されている。このATMによるデータ交換を行なうものにATM交換機などが知られている。バケット交換機とATM交換機との相違点は、バケット交換機は取り扱うデータとして可変長のまたは一定長のブロックに分割されたメッセージにヘッダを付したバケットであり、ATM交換機は上記バケットに替えて固定長のセルをデータとして取り扱う点にある。そして、交換機としては両者は全く同様に機能する。

ここで、従来の交換機として特開平 1-231457号に示されるごときバケット交換機を例にとって説明する。第2図に示す如くバケット交換機は、バケットのスイッチングを行うバケットス

バケットスイッチ回路40でスイッチングするまでの機能が示されている。スイッチングされたバケットを中継線や他の端末に送出する機能部分は図示されていないが、通常のバケット交換機と同様にこの交換機もそれらの機能を有していることは言うまでもない。

端末インタフェース回路10は端末1に対応してバケット交換回路11を有する。この回路11は各端末1を接続し、端末1から入力されるメッセージを所定のビット数のデータに分割し、各データごとに端末番号16(第3図)を付加してバケット14に変換するバケット組み立て機能を有する。バケット変換回路11は複数台がマルチプレクサ13に収容され、マルチプレクサ13は各バケット変換回路11から所定の順番でバケット14を1個ずつ読み出しハイウェイ15にのせる多重化回路である。

ヘッダ付加回路20は、ハイウェイ15からのバケット14を制御プロセッサ100の制御により内部バケット22のフォーマット(第4図)に

イチ回路40を有し、これには1つまたはそれ以上のバケットバッファ回路30が収容されている。バケットバッファ回路30は交換機に到来したバケットを一時的にバッファし、優先順位に従ってそれらをバケットスイッチ回路40へ転送する回路である。バケットバッファ回路30の入力側には、やはり1つまたは複数のヘッダ付加回路20が収容されている。ヘッダ付加回路20は第3図に示すバケット14にヘッダ28を付加することによって、交換機内部で転送される内部バケット22(第4図)を形成する回路である。

ヘッダ付加回路20の入力側には、端末インタフェース回路10が一つまたはそれ以上収容されている。端末インタフェース回路10は、その入り側に複数の端末1が収容され、端末1からの信号乃至はメッセージをバケットに組み立てて多重化する回路である。この交換機のこれらの各回路は、制御プロセッサ100によって制御され、バケット交換機としての様々な機能を実現している。なお、第2図では端末からの信号をバケットとし

変換する回路である。この回路20は、バッファ21を有し、これはバケット14を一時蓄積するメモリである。ヘッダ付加回路20は、第2図に示すようにAおよびBの2つのヘッダ保持メモリ23および25を有し、両者のメモリ読み出し出力がバッファ21のそれと共にマルチプレクサ27の入力側に収容されている。

両ヘッダ保持メモリ23および25は各端末1に対応して制御データを格納する記憶位置を有し、呼設定時に制御プロセッサ100から、前者のアドレスにはバケット14の相手先端末番号24(第4図)と相手先に送るために必要な他の制御データすなわちスイッチングヘッダ27とが書き込まれる。また、後者のアドレスには、端末1の種別などに対応する優先クラス26が書き込まれる。一方のヘッダ保持メモリ23へのデータ設定は呼設定時に制御プロセッサ100から行われる。これは、ヘッダ28の制御データが個々のバケット22に固有であるためである。他方のヘッダ保持メモリ25への優先クラスデータ26の書き込み

は、制御プロセッサ 100 から行なわれ、これは呼設定時にその都度行うように構成されるか、また書替える必要が生じた時に行うように構成される。呼設定時の都度行うように構成されている場合には、端末 1 の種別に対応した固定的優先制度の他に、例えば、トラヒック輻輳制御などの個々の呼や局情に応じた優先制御を行うこともできる。

制御プロセッサ 100 は、バケットスイッチ回路 40、バケットバッファ回路 30 およびヘッダ付加回路 20 などの交換機内部の各回路を制御してバケット交換機能を実現する機能部である。特にこの従来例に関連しては、2つのヘッダ保持メモリ 23 および 25 のデータ設定機能がある。

より詳細には、プロセッサ 100 は例えば、端末 1 の優先クラス 26 を決める情報が入力されると、制御線 110 により優先クラス保持メモリ 25 の対応するアドレスにその端末 1 の優先クラス 26 を設定する。この設定の入力は、予め局側から行なわれる。呼設定の際、プロセッサ 100 は、発信端末 1 から受けた呼設定バケットからその呼

の相手先端末番号 24 を識別し、バケットスイッチ回路 40 のスイッチング制御情報を含むスイッチングヘッダ 27 と共にこれを一方のヘッダ保持メモリ 23 のその発信端末 1 に対応したアドレスの記憶位置に書き込む。

端末インタフェース回路 10 のハイウエイ 15 からヘッダ付加回路 20 に入力されるバケット 14 は、バッファ 21 に一旦蓄積される。バッファ 21 にバケット 14 が完成すると、バッファ 21 はこれを所定のタイミングで出力するが、これと同期してその端末番号 16 に対応するヘッダ保持メモリ 23 および 25 の各アドレスよりそれぞれ、相手先端末番号 24 およびスイッチングヘッダ 27、ならびに優先クラス 26 を読みだし、マルチプレクサ 27 に入力する。マルチプレクサ 27 はこれらを第 4 図のバケット 22 のフォーマットに組み立て、ハイウエイ 29 よりバケットバッファ回路 30 へ出力する。

バケットバッファ回路 30 には、各優先クラス 26 の種類に対応する記憶領域 A1 - An を有す

るバッファメモリ 33 が設けられている。ハイウエイ 29 より入力するバケット 22 は、優先クラス分配器 31 によってその優先クラスに従ってバッファメモリ 33 の領域 A1 - An に蓄積される。バッファメモリ 33 の各領域 A1 - An は、それぞれ互いに独立して F I F O 動作を行う。各領域には選択回路 (A B T) 35 が接続され、選択回路 35 は、バッファメモリ 33 の優先クラスの高い領域から先にバケット 22 をその領域における入力順に従ってハイウエイ 37 へ読み出す制御を行う。

バケットスイッチ回路 40 はハイウエイ 37 から入力するバケット 22 をそのスイッチングヘッダ 27 の示す方路に出力するスイッチ回路網である。

次にこの交換機の動作を説明する。まず、特定の端末 1 の呼設定時に制御プロセッサ 100 は、一方のヘッダ保持メモリ 23 の端末 1 に対応する記憶位置に制御線 110 を介してその呼の相手先端末番号 24 および他のスイッチングデータを設

定する。例えばこれと共に制御プロセッサ 100 は、優先クラス保持メモリ 25 の端末 1 の記憶位置に制御線 120 を介してその端末 1 の優先クラス 26 を設定する。この後者の設定は、呼設定時に行わなければ、優先クラス保持メモリ 25 に以前から蓄積されている優先クラス 26 を使用する。

端末 1 からメッセージないしは情報信号が出力されると、これは端末インタフェース回路 10 で各端末ごとにデータと端末番号 16 よりなるバケットに変換され、ハイウエイ 15 からヘッダ付加回路 20 へ送られる。ヘッダ付加回路 20 では、入力されたバケット 14 が、データと、相手先端末番号 24、優先クラス 26 およびスイッチングヘッダ 27 を含むヘッダ 28 とで構成されるバケット 22 に変換され、ハイウエイ 29 よりバケットバッファ回路 30 へ送られる。バケットバッファ回路 30 は、入力されるバケット 22 をその優先クラス 26 に対応したバッファメモリ 33 に一旦蓄積した後、優先クラス 26 の順序で、かつ同クラスのバケット 22 では入力された順番で、こ

れをバケットスイッチ回路 40 へ出力する。バケットスイッチ回路 40 では、バケット 22 をそのスイッチングヘッダ 27 の示す出線へ送出する。

この交換機の特徴のひとつは、例えばある端末 1 を取り替えて端末種別の変更が生じた場合、制御プロセッサ 100 に端末種別の変更を入力すると、制御プロセッサ 100 はその端末種別に基づき端末 1 の優先クラスを分析し、制御線 110 よりヘッダ付加回路 20 の他方のヘッダ保持メモリ 25 の対応アドレスに新たな優先クラスを設定することにある。従って、端末の優先クラスの変更を端末インタフェースの変更によらず、この従来技術では、制御プロセッサ 100 に端末 1 の優先クラスの変更を入力することによって端末 1 の優先クラスを変更することができる。制御プロセッサ 100 に入力された優先クラスの変更は、そのときに他方のヘッダ保持メモリ 25 に設定される場合もあり、または、呼設定の都度同保持メモリ 25 に設定される場合もある。

また、このように制御プロセッサ 100 から優

先クラスを可変的に設定できる特徴は、端末 1 の変更という端末 1 の個々の状態に応じた優先クラスの変更だけでなく、例えばトラヒック条件の変化など、局情に応じた個々の端末 1 ごとの、もしくは端末種別に対応した優先クラスの適切な設定の可能性をもたらす。例えば、ある種のトラヒックが非常に集中した場合、特定の種別の端末群について呼の設定時にヘッダ保持メモリ 25 の優先クラス 26 を変更することによって、トラヒック規制を効果的に行えるものであった。

[発明が解決しようとする課題]

ところで、上述したとき構成の装置にあっては、呼設定時に端末 1 とプロセッサ 100 との間の通信により優先度が決定されると、その呼の通信中は決定した優先度が変更されることがない。これは、バケット交換機が蓄積交換方式であることからデータ流量（ビットレート）の制限がかけられるので、交換機内部のトラヒック制御がさほど難しくなく、また再送も可能である、という点に基づいている。

しかしながら、ATM 交換機等のように、可変ビットレートの通信を取り扱う必要があり、しかも再送制御を行わない交換システムの場合にあっては、交換機内のトラヒックを制御する必要から先のバケット交換機の場合と比較して、より細やかな優先制御を行うことが必要になる場合があるが、このような場合には先の交換機のごとき優先制御ではこの必要性に対応することができない。特に、ATM 交換機のプロセッサは、端末とプロセッサとの間の通信により端末側から申告されるビットレートと、データの種別とに応じて交換機内の帯域と、そのデータの優先度を決定するため、申告値を越えるデータが端末から入力された場合に、交換機内の輻輳を招き、他の呼のデータの廃棄率を上昇させてしまうという問題点があった。

本発明は、以上のような問題点に着目し、これを有効に解決すべく創案されたものである。本発明の目的は、申告値を越えるデータが端末から入力された場合に、そのデータの優先度をハード的に更新し、当該データを所定の場合には廃棄する

ことによりもって交換機内の輻輳の回避およびデータ廃棄率の抑制を行うことができる交換機の優先制御方式を提供することにある。

[課題を解決するための手段]

本発明は、前記問題点を解決するために、送信に先立って端末と制御プロセッサとの間で送信に関するビットレートを申告するための通信を行って該申告値に基づいて送信を行い、送信が行われる端末に応じた優先度を示す情報を含むヘッダを受信したデータに付して該優先度の情報に応じて受信データを分配すると共に該受信データを一時的にバッファメモリに蓄積した後、交換回路へ送出するようになった交換機の優先制御方式に適用される。

このような優先制御方式において、前記端末から送信されるデータのビットレートを検出し、該検出値が前記申告値を越えたときにその旨を示す情報を受信データに付するビットレート検出回路と、前記情報が付された受信データ及び非優先データであるとして前記端末により予め指示された

受信データに対して、当該データは廃棄可能であることを示すための情報を付するヘッダ更新回路と、前記廃棄可能であることを示す情報と前記バッファメモリに蓄積されているデータ量とに基づいて、当該受信データを前記バッファメモリに蓄積するか否かを判定するための蓄積判定回路とを備え、この蓄積判定回路の判定結果に応答して当該受信データを廃棄したり或はそのままバッファメモリに蓄積したりし、もって交換機内の輻輳の発生を抑制しつつ他の呼のデータの廃棄率も抑制するようにしたものである。

〔作用〕

本発明によれば、以上の様な優先制御方式としたので、ビットレート検出回路は受信データのビットレートがその申告値を越えた場合には受信データにその旨を示す情報を付してマーキングし、ヘッダ更新回路は先にマーキングされた受信データおよび非優先データであるとして端末により予め指示された受信データに対して、当該データは廃棄可能であることを示す情報をヘッダに付して

データのビットレートを検出してこの検出値が申告値を越えたときにその旨を示す情報を受信データに付する本発明の特長の1つであるビットレート検出回路52と、各検出回路52からのデータを多重化するマルチプレクサ13とにより主に構成されている。

この端末インタフェース回路50の後段には、ハイウェイ15を介して1つまたはそれ以上のヘッダ付加回路60が収容されている。この付加回路60は、ハイウェイ15から入力されるデータとしてのセルを変換する間だけ一時的にセルを蓄積するバッファ62と、後段においてこのセルのスイッチング及びスイッチング後に必要となるセルヘッダの内容が書き込まれた従来例と同様なヘッダ保持メモリ61と、各メモリ61からのセルを多重化するマルチプレクサ63と、先のビットレート検出回路52にて上記情報が付された受信データとしてのセル及び非優先データとして端末1により予め指示された受信データとしてのセルに対して当該セルは廃棄可能であることを示すた

廃棄可能データとし、蓄積判定回路はこの廃棄可能を示す情報とバッファメモリに蓄積されているデータ量とに基づいてこの受信データを蓄積するか否かを判定する。この判定回路が、データ廃棄の判定をしたときは当該受信データをバッファメモリに蓄積することなく廃棄することにより他の優先度の受信データの廃棄率を抑制し、データ廃棄の判定をしないときにはそのまま当該データをバッファメモリに蓄積する。

〔実施例〕

以下に本発明の好適一実施例を添付図面に基いて詳述する。第1図は本発明に係る交換機としてのATM交換機の構成を示す。まず、本発明に係るATM交換機は、1またはそれ以上の端末インタフェース回路50を有しており、その入力側にはそれぞれデータを入力するための端末1が接続されている。この端末インタフェース回路50は、上記端末1から送られてきたデータを局内または局間の伝送に必要な形に変換するためのATMセル終端回路51と、各端末から入力されるデ

めの情報を付する本発明の特長の1つであるヘッダ更新回路70とにより主に構成されている。そして、このヘッダ付加回路60は、先のセルのヘッダを変換すると共にスイッチングに必要な情報を付する機能と、端末からの申告値を越えて入力されたデータ（違反セルで廃棄可能）であるか否かを示す情報をセルヘッダに書き込む機能とを有する。

このヘッダ付加回路60の後段には、ハイウェイ29を介して1つまたはそれ以上のセルバッファ回路80が収容されている。このセルバッファ回路80は、これに入力されるセルをその優先クラスに従って分配するための優先クラス分配器31と、本発明の特長の1つである蓄積判定回路81と、この回路81から送出されるセルを一時的に蓄積する従来例と同様なバッファメモリ82と、このメモリ82より上記ATMスイッチへ送出されるべきセルを決定するための選択回路84とにより主に構成されている。この蓄積判定回路81は、上記廃棄可能であることを示す情報とバッ

メモリ82に蓄積されているデータ量とに基づいて、当該受信データとしてのセルをバッファメモリに蓄積するか否かを判定する回路であり、バッファメモリのデータ蓄積量が比較的多いことに起因してこの回路が蓄積しない旨を判定した場合には当該受信データは廃棄される様になっている。

そして、このセルバッファ回路80の後段には、ハイウェイ37を介してATMセルのスイッチングを行うATMスイッチ90が収容されている。このATMスイッチ90は、ATMセルのスイッチングを行って受信データとしてのセルを最終的にスイッチングヘッダの示す方向に送出するための回路である。制御プロセッサ200は、上記端末インタフェース回路50、ヘッダ付加回路60、セルバッファ回路80及びATMスイッチ90の各回路を制御してセルの交換機能を発揮する制御部である。第1図では端末からの信号をATMスイッチ90でスイッチングするまでの機能が示されている。スイッチングされたセルを中継線や他の端末に送出する機能部分は図示されていないが、

通常の交換機と同様にこの交換機もそれらの機能を有していることは言うまでもない。

次に、上記実施例の動作について説明する。

まず、端末1がデータを送信する際、それに先立ってこの端末1と制御プロセッサ200との間で送信に関するビットレートを申告するための通信が行なわれる。具体的には、自端末の識別最大ビットレート、平均ビットレート等を申告するための通信が行なわれる。この端末1からの申告内容に従って、制御プロセッサ200は交換機内またはネットワークのリソースの状況に基づいてその通信を交換機が容量的に受け付けることができるか否かを算出し、その結果、リソースに余裕がある場合には、その端末1からのデータを受け付けて呼の受け付けとする。他方、リソースに余裕が無い場合には、呼の受け付けを拒絶する。呼を受け付ける場合にはその受け付けに先立って、制御プロセッサ200は、ヘッダ付加回路60のヘッダ保持メモリ61に先の申告に基づいて必要なデータを書き込むと共に端末インタフェース回路

50のビットレート検出回路52に端末1から先に申告されたビットレートを書き込む。呼の受け付けにより端末1からデータが送信されるとこのデータは、端末インタフェース回路50内のATMセル終端回路51にて所定長に分割されると共に各データ片55の先頭に端末番号56が付され、局内もしくは局間伝送に必要な第6図に示す如し形のセルに変換された後、ビットレート検出回路52へ送られる。このビットレート検出回路52は、端末から送られてくるデータのビットレートを常にモニターしており、この値が先の申告値を越えた場合にはそのセルのセルヘッダに違反セルであることをマーキングする。このビットレートの検出方法としては、例えば一定周期毎にクリアされるカウンタを用意し、これに端末から固定長のセルが入力される毎にカウントアップする機構を設けるようにして、その周期中に申告値を越えたセルを違反セルとする検出方法が考えられる。しかしながら、この方法に限定されるものでもないことは勿論である。この回路で違反セルである

とマーキングされたセルも廃棄されることなく後段のマルチプレクサ13へ送られて、ここで多重化された後、ハイウェイ15を介してヘッダ付加回路60へ送出される。このように違反セルであっても直ちには廃棄しない理由は、後段にてリソース(バッファメモリ)に余裕がある場合にはこの違反セルを廃棄することなく使用することができるからである。

ヘッダ付加回路60は、ハイウェイ15から入力されるセルを第7図に示す如きセルフォーマットに変換する。この回路内のヘッダ保持メモリ61には前述の如くヘッダ変換に必要な情報が記憶されており、バッファ62は上記ヘッダ保持メモリ61からヘッダデータを引き出す間一時的にセル内容を記憶する。このバッファ62およびヘッダ保持メモリ61からの出力はマルチプレクサ63にて従来例と同様に多重化されて、第7図に示す如きセルフォーマットが形成される。従来技術と同様に、このセルフォーマットは、最終的に当該データを届けるべき相手先を同定するための情

報を示す相手先端末番号 65 と、通信中の端末 1 に対応する優先度を示す優先クラス 66 と、後段のデータ転送に必要とされる情報を示すスイッチングヘッダ 68 を含んでいる。ここにおける優先クラスの内容は、通信中の端末の種類により一義的に決定されるものであり、この端末 1 との通信が完了するまで変更されることはない。マルチプレキサ 63 からのデータはヘッダ更新回路 70 に入力され、ここで所定のセルのヘッダが更新されることになる。具体的には、このヘッダ更新回路 70 は、先の端末インタフェース回路 50 内のビットレート検出回路 52 にて違反セルであるとマーキングされたセルおよび端末自身が非優先セルであるとして送信してきた受信データのセルを検出すると、そのセルのスイッチングヘッダ 67 に含まれる違反セル表示ビット 68 に当該ビットは廃棄可能であることを表示し、このヘッダを更新する。ここで、各セルの優先クラスの内容は何ら変更されない点に注意されたい。違反セルでないセルは、何らヘッダが更新されることなく出力さ

れるのは勿論である。このヘッダ更新回路 70 からのセルは、ハイウェイ 29 を介してセルバッファ回路 80 に入力される。

このセルバッファ回路 80 内の優先クラス分配器 31 は、これに入力した個々のセルの優先クラスの内容に応じて各セルを対応するバッファメモリ 82 (M1-Mn) に向けて分配する。ここで優先クラス分配器 31 とバッファメモリ 82 との間には蓄積判定回路 81 (J1-Jn) がそれぞれ接続されており、この回路 81 においては、スイッチングヘッダの違反セル表示ビットの内容と、対応するバッファメモリ 82 中のデータ蓄積量とに基づいて、当該セルをバッファメモリに蓄積するか否かを判定する。ここでスイッチングヘッダに違反セル表示ビットを設けた理由は、バッファメモリ 82 においてデータ蓄積するか否かを少しでも早く決定することにより、判定に必要な時間だけデータをバッファリングするためのレジスタの容量を極力少なくするためである。具体的にその制御方法を第 5 図のフローチャートに基づいて

説明する。各蓄積判定回路 81 は、それぞれに接続されているバッファメモリ 82 内の蓄積データ量(セル数)をモニターしており、セルが入力されたときに蓄積判定回路は以下の処理を行う。

まず、対応するバッファメモリ 82 の全容量に相当する分量のセル数(データ)が蓄積(100%)されている場合(S1)には、既にメモリの空領域が無いことから入力したセルを全て廃棄する(S2)。

対応するバッファメモリ 82 に空き領域がある場合には、既に蓄積されているセル数(データ量)に応じてセルを廃棄する場合と、蓄積する場合とに分かれることになる。すなわち、バッファメモリ 82 内のセル数がバッファメモリ容量の X% 未満の場合には、容量に比較的余裕があることから入力したセルを全てバッファメモリに蓄積する(S3)。これに対して、バッファメモリ 82 内のセル数がバッファメモリ容量の X% 以上の場合には、そのセルが廃棄可能のセルであるかが判断され(S4)、廃棄可能のセルである場合にはメ

モリの空き領域が比較的少ないことからそのセルを廃棄する(S2)。また、廃棄可能のセルでない場合には、空き領域が比較的少ないけれどもそのセルをバッファメモリに蓄積する(S3)。一度バッファメモリに蓄積されたセルは廃棄されないのは勿論である。また、上記 X の値は任意に設定することができ、固定値であってもよく、あるいは外部の制御プロセッサから任意に変更できる様にしても良い。ここで、設定される X の値を 1(100%)とすれば、従来と同様の動作をする交換機となることは言うまでもない。各バッファメモリ 82 に蓄積されたセルは、従来例と同様に優先クラスの高い領域から FIFO 動作でもって選択回路 84 により順次選択されて出力され、ハイウェイ 37 を介して ATM スイッチ 90 へ送出される。

そして、この ATM スイッチ 90 は、セルのスイッチングヘッダの示す送線へセルを送出する。

[発明の効果]

以上のように、申告値を越えるビットレートの

データが端末から入力された場合であってセルバッファ回路内のバッファメモリの空き領域が比較的少ない場合には、このセルをバッファメモリに蓄積することなく廃棄することとしたので、対応するバッファメモリに過度にデータが蓄積される状態の発生頻度を抑制することができる。

従って、輻輳を生ぜしめることなく、他の優先度の低い端末からのデータセル或いは非優先セルがそれに対応するバッファメモリに蓄積されることなく廃棄される率即ち廃棄率を可及的に低減することができるのみならず、それら非優先セルの伝送遅延も可及的に低減することができる。

また、ビットレートが申告値よりも高い違反セルや非優先セルであっても、交換機が比較的空いている場合には、これを廃棄することなく相手端末にデータを届けることができ、従って、全体的な交換機使用効率を向上させることができる。

4. 図面の簡単な説明

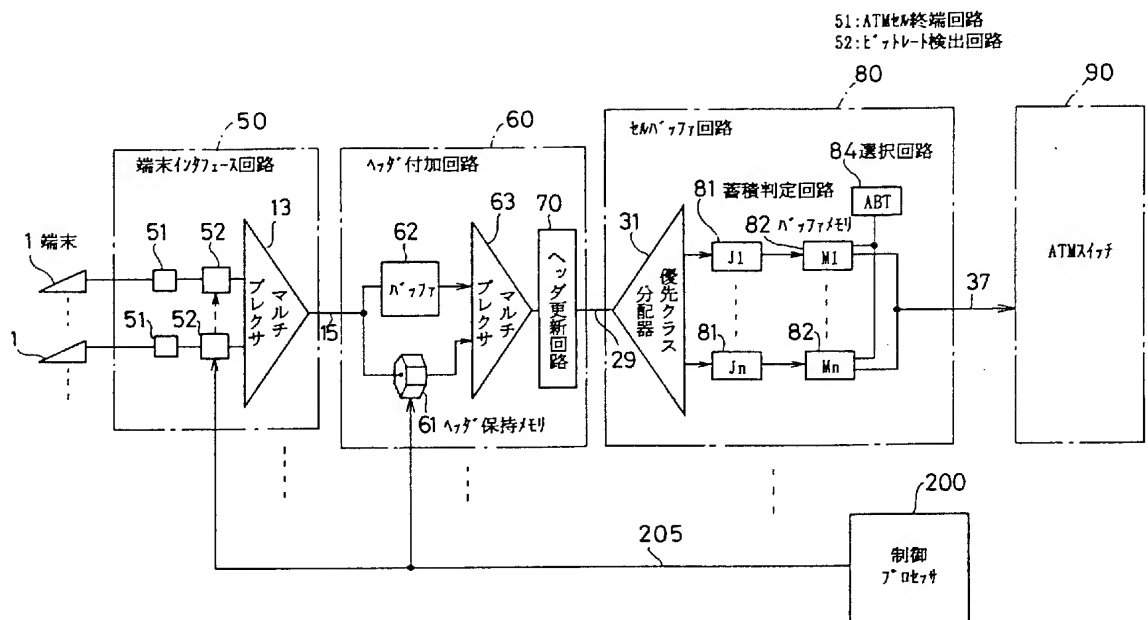
第1図は本発明に係る交換機としてのATM交換機を示す構成図、第2図は従来の交換機として

のバケット交換機を示す構成図、第3図は第2図に示す交換機にて使用されるバケットを示す構成図、第4図は第2図に示す交換機にて使用されるヘッダを付加したバケットフォーマットを示す構成図、第5図は本発明の優先制御方式を示すフローチャート、第6図は本発明にて使用するセルを示す構成図、第7図は本発明にて使用するヘッダを付加したセルフォーマットを示す構成図である。

1…端末、50…端末インタフェース回路、52…ビットレート検出回路、60…ヘッダ付加回路、70…ヘッダ更新回路、80…セルバッファ回路、81…蓄積判定回路、82…バッファメモリ、90…ATMスイッチ、200…制御プロセッサ。

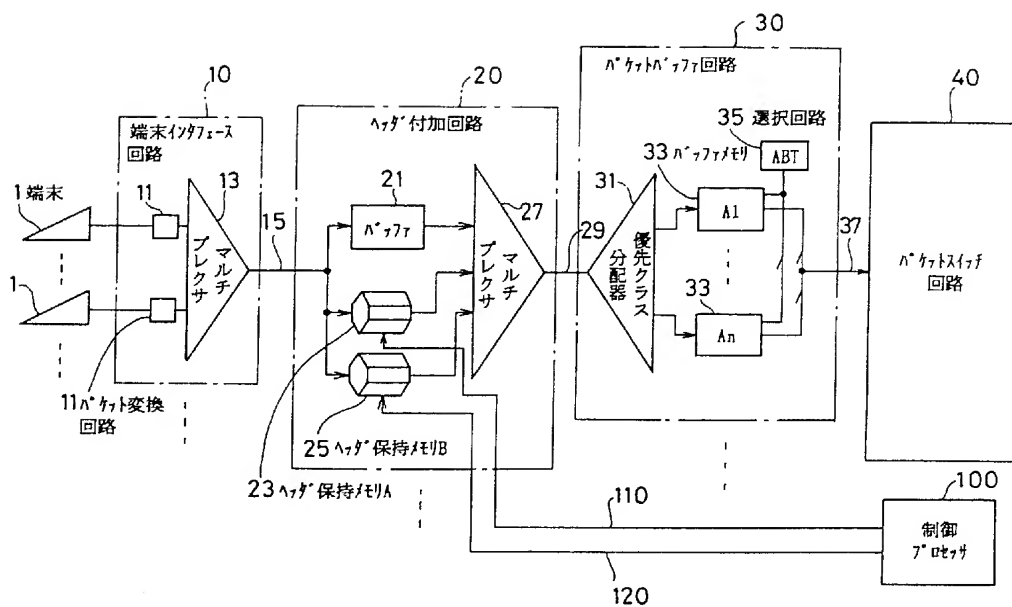
出願人 沖電気工業株式会社

代理人 弁理士 鈴木 敏明



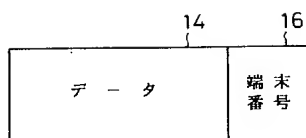
本発明に係る交換機の実施例

第1図



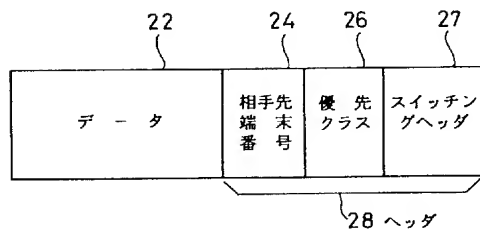
従来のパケット交換機

第 2 図



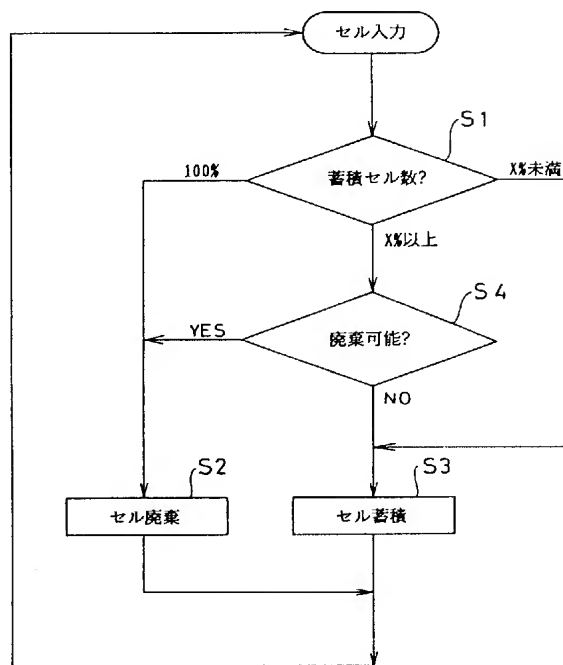
パケットフォーマット

第 3 図



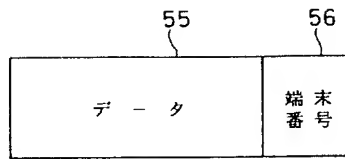
パケットフォーマット

第 4 図



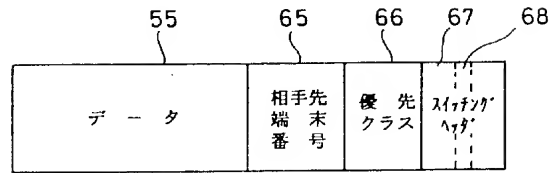
優先制御方式のフローチャート

第 5 図



データフォーマット

第 6 図



データフォーマット

第 7 図

PAT-NO: JP404179339A
DOCUMENT-IDENTIFIER: JP 04179339 A
TITLE: PRIORITY CONTROL SYSTEM FOR
EXCHANGE
PUBN-DATE: June 26, 1992

INVENTOR-INFORMATION:

NAME	COUNTRY
-------------	----------------

NOIRI, AKIRA

ARAKAWA, NOBUYA

KITAMURA, TATSUHIKO

KIMURA, HIROSHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
-------------	----------------

OKI ELECTRIC IND CO LTD	N/A
-------------------------	-----

APPL-NO: JP02306049
APPL-DATE: November 14, 1990

INT-CL (IPC): H04L012/48

US-CL-CURRENT: 340/FOR.413

ABSTRACT:

PURPOSE: To supress the occurrence of a state where data is excessively accumulated in a corresponding buffer memory by abolishing a cell without accumulation when data on a bit rate

exceeding a report value is inputted from a terminal and the empty area of the buffer memory in a cell buffer circuit is comparatively little.

CONSTITUTION: When the bit rate of reception data exceed the report value, a bit rate detection circuit 52 adds information showing the effect to reception data so as to mark it. A header update circuit 70 sets marked reception data and reception data instructed as nonpriority data to be abolishment possible data by giving information showing abolishment is possible to a header. An accumulation judgement circuit 81 judges whether reception data is to be accumulated or not based on abolishment possible information and a data amount accumulated in the buffer memory 82. When the abolishment of data is judged, reception data is abolished. Thus, the abolishment rate of reception data with other priority is suppressed.

COPYRIGHT: (C)1992,JPO&Japio